Министерство образования и науки Российской Федерации Федеральное агентство по образованию Федеральное государственное бюджетное образовательное учреждение высшего образования «Вятский государственный университет»

Факультет автоматики и вычислительной техники

Кафедра электронных вычислительных машин

Лабораторная работа №2

по курсу «Организация ЭВМ и систем»

Выполнил студент группы ИВТ-21\_\_\_\_\_\_\_\_\_\_\_\_\_\_/Птахова А.М/

Проверил \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/ Клюкин В.Л./

Киров 2022

1. Задание:

Построить управляющий устройство для выполнения умножения положительных чисел с фиксированной запятой методом «младшими разрядами вперед».

1. Распределение ячеек ЗУ и регистров микропроцессора

2.1 Распределение ячеек ЗУ

|  |  |  |  |
| --- | --- | --- | --- |
| Адрес | Код | Мнемоника | Комментарии |
| 00 | 0000 | КОП | Код операции |
| 01 |  | X | Множимое |
| 02 |  | Y | Множитель |
| 03 |  | Z | Результат |

2.2 Распределение регистров микропроцессора

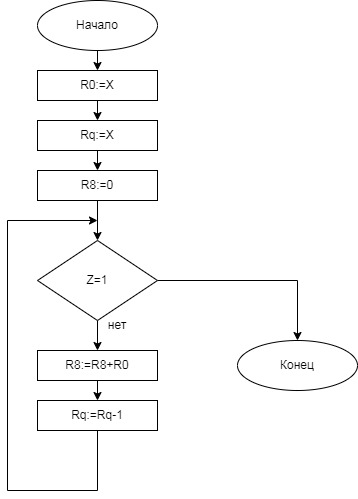
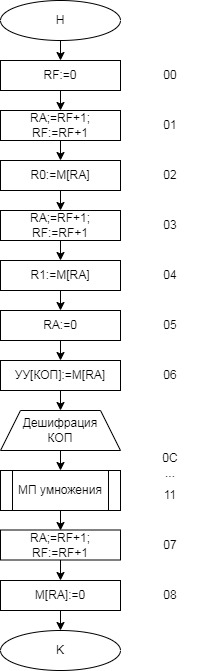
|  |  |
| --- | --- |
| РЗУ(R0-R7) | РЗУ(R8-R15) |
| 0: Регистр Х | 8: Регистр Z |
| 1: | 9: |
| 2: | 10: |
| 3: | 11: |
| 4: | 12: |
| 5: | 13: |
| 6: | 14: |
| 7: | 15: Счетчик адреса ЗУ |
| RA: Адрес ЗУ | Rq: Регистр Y |

3 Разработка микропрограммы для устройства без конвейерного выполнения микрокоманд

Распределение ячеек преобразователя начального адреса

|  |  |  |
| --- | --- | --- |
| КОП(адрес) | Начальный адрес МП | Комментарии |
| 00 | 00001100 | 0С-адрес микропрограммы умножения |

4 Граф-схема умножения и граф-схема микропрограммы

8 Разработка микропрограммы для устройства с конвейерным выполнением команд

Распределение ячеек ПНА для устройства с конвейерным выполнением команд аналогично распределению для устройства без конвейерного выполнения команд.

9 Граф-схема умножения

